

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—91838

⑤ Int. Cl.³
H 01 L 21/60

識別記号

庁内整理番号
6684—5F

③ 公開 昭和55年(1980)7月11日

発明の数 1
審査請求 未請求

(全 2 頁)

④ 電子装置

① 特 願 昭53—163977

② 出 願 昭53(1978)12月29日

③ 発 明 者 竹本二三夫
諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑦ 出 願 人 株式会社諏訪精工舎
東京都中央区銀座4丁目3番4号

⑧ 代 理 人 弁理士 最上務

明 細 書

1 発明の名称 電子装置

2 特許請求の範囲

単一もしくは複数の電子部品と、前記電子部品の電極を選択的に露出させて前記電子部品の周囲に一体成形された誘電体基盤と、前記電子部品の電極及び誘電体基盤上に配線された導電体パターンからなることを特徴とする電子装置。

3 発明の詳細な説明

本発明は、単一もしくは複数の電子部品が共通の支持サブストレートに取り付けられ、配線された電子装置に関する。

従来、電子部品及び支持サブストレートにより構成され、ボンディングレス方法により配線された電子装置は、第1図に示す如く、セラミックス板1上に樹脂シート2が接着され、半導体チップ3の上面が前記樹脂シート2の上面と同一平面と

なるように半導体チップ3が埋め込まれる。更に半導体チップ3及び樹脂2上に薄い樹脂シート4が接着されており、フォトリソグラフィ技術により、半導体チップの電極部5が露出されるように、薄い樹脂シート4に孔6が明けられていた。配線7は薄い樹脂シート4上及び孔6を通して半導体チップの電極部5上に、金属被膜を施した後、フォトリソグラフィ技術を用いて形成されていた。

このため、製造時薄い樹脂シート4を接着する工程及び半導体チップの電極部5を露出させるための孔6をあけるフォトリソグラフィ工程が必要であり、また半導体チップ3の上面と樹脂シート2の上面が同一平面にすることが、困難で不良の原因となっていた。本発明はかかる欠点を除去するためになされたものである。

本発明の一実施例を第2図、第3図、第4図について説明すると、第2図に示す如く半導体チップ3の周囲に樹脂8が一体成形され、かつ半導体チップの電極部5は露出している。さらに第3図に示す如く、配線7は第1図で説明したのと同様

な方法で製作される。

このような電子装置によれば、第4図に示した如く、半導体チップ3を射出成形下座9にセットし、更に半導体チップの電極部5に、接触するようなピン10を有する射出成形上座11をセットし、射出成形ゲート12から樹脂を射出することにより、製作することができる。射出成形上座11及び射出成形下座9の半導体チップ3に接触する部分の精度は±1μ程度で仕上げておくことが必要である。

以上の説明においては、配線7は金属被膜を施した後フォトエッチング技術を用いて形成したが、導電材料を印刷することにより形成してもよい。また樹脂の成形は、射出成形で説明したがトランスファーマールド、圧縮成形、注型等の方法を用いてもよい。

以上の如く本発明によれば、薄い樹脂シート4を接触する工程及び半導体チップの電極部5を露出するための孔6をあけるフォトエッチング工程が不要となり工程の短縮が可能となる。また半導

- 3 -

体チップ3の上面と樹脂シート2の上面を同一平面にするという技術的問題もなくなり良品率向上が可能となる。

4. 図面の簡単な説明

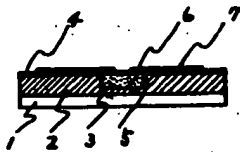
第1図は、従来の電子装置の要部断面図。第2図、第3図は本発明の電子装置の一実施例の要部断面図。第4図は本発明の電子装置製造方法の一実施例要部断面図。

- 1---セラミツタ基板 2---樹脂シート
- 3---半導体チップ 4---薄い樹脂シート
- 5---半導体チップの電極部 6---孔
- 7---配線 8---樹脂 9---射出成形下座
- 10---ピン 11---射出成形上座
- 12---射出成形ゲート。

以上

出願人 株式会社防衛精工
代理人 弁護士 最上 清

- 4 -



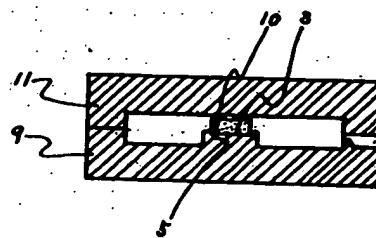
第1図



第2図



第3図



第4図

CLIPPEDIMAGE= JP355091838A

PAT-NO: JP355091838A

DOCUMENT-IDENTIFIER: JP 55091838 A

TITLE: ELECTRONIC DEVICE

PUBN-DATE: July 11, 1980

INVENTOR-INFORMATION:

NAME

TAKEMOTO, FUMIO

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP53163977

APPL-DATE: December 29, 1978

INT-CL (IPC): H01L021/60

US-CL-CURRENT: 29/825,438/FOR.375

ABSTRACT:

PURPOSE: To simplify the working of burying an electronic part into an dielectric, by burying the electronic part, such as a semiconductor element, etc., into the dielectric substrate, such as resin, etc., in such a position that the electrode section is selectively exposed, and also by providing its surface with an electric conductive wiring.

CONSTITUTION: A semiconductor chip 3 is set on the top of an injection mold's bottom mold 9, and a top mold 11 of the injection mold, which has a pin 10 contacting an electrode section 5 of the semiconductor chip, is set over the top. By injecting resin from a gate 12 provided on the

bottom mold of the injection mold, a resin 8 is formed into a continuous piece around the semiconductor chip 3. As the electrode section 5 is exposed when the top and bottom molds are removed, a wiring 7 is provided in such a manner as to allow it to extend over the resin 8 by using photo etching process or printing process. The resin may be formed by using transfer mold, compression forming or injection mold. As this method eliminates necessity of photo-etching process to expose the electrode section, it is possible to shorten an entire fabricating process and improve quality.

COPYRIGHT: (C)1980,JPO&Japio